

Docket No.: WMP-IFT-699

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : MATTHIAS STECHER ET AL.
Filed : CONCURRENTLY HEREWITH
Title : SOI COMPONENT

31046 U.S. PTO
10/073847
02/11/02

CLAIM FOR PRIORITY

Hon. Commissioner of Patents and Trademarks,
Washington, D.C. 20231

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119,
based upon the German Patent Application 101 06 073.4, filed February 9, 2001.

A certified copy of the above-mentioned foreign patent application is being submitted
herewith.

Respectfully submitted,



For Applicants

WERNER H. STEMER
REG. NO. 34,956

Date: February 11, 2002

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/kf



11046 U.S. PTO
10/073847
02/11/02

Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 101 06 073.4
Anmeldetag: 09. Februar 2001
Anmelder/Inhaber: Infineon Technologies AG,
München/DE
Bezeichnung: SOI - Bauelement
IPC: H 01 L 27/12

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 17. Januar 2002
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Nietiedt

WESTPHAL, MUSSGNUG & PARTNER
Patentanwälte · European Patent Attorneys

ift699

Infineon Technologies AG
St.-Martin-Str.53

81541 München

- Patentanmeldung -

SOI - Bauelement

Beschreibung

SOI-Bauelement

- 5 Die vorliegende Erfindung betrifft ein Halbleiterbauelement gemäß den Merkmalen des Oberbegriffs des Anspruchs 1.

Derartige Bauelemente, bei denen die aktiven Bereiche des Bauelements auf einer Isolationsschicht auf einem Halbleiter-
10 substrat ausgebildet sind, werden als SOI-Bauelement (SOI = silicon on insulator) bezeichnet, wenn das verwendete Halbleitermaterial Silizium ist.

Die SOI-Technologie besitzt besonders dann Vorteile, wenn eine Logikschaltung mit einer Vielzahl komplementärer Transistoren (CMOS-Transistoren) zu realisieren ist. Bei herkömmlichen Technologien sind die CMOS-Transistoren, bzw. die Halbleiterbereiche, in denen sie realisiert sind, durch dotierte Zonen aus Halbleitermaterial gegeneinander isoliert. Durch
20 die Abfolge unterschiedlich dotierter Halbleiterbereiche zwischen den einzelnen Bauelementen entstehen parasitäre Bauelemente, die sich negativ auf die Funktionsweise der Gesamtschaltung auswirken. Zudem sind unter Umständen große parasitäre Kapazitäten vorhanden, die die Schaltgeschwindigkeit einer solchen Schaltung negativ beeinflussen.

Bei der SOI-Technologie können in einer Halbleiterschicht auf der Isolationsschicht CMOS-Transistoren und andere Halbleiterbauelemente nebeneinander realisiert werden, wobei die
30 Halbleiterschicht zwischen den einzelnen Bauelementen einfacherweise bis auf die Isolationsschicht entfernt wird, um die Bauelemente gegeneinander zu isolieren. Elektrische Verbindungen zwischen den Bauelementen sind dabei in einer separaten Verdrahtungsebene oberhalb der Halbleiterschicht realisiert.
35

Neben einer Ansteuerlogik in CMOS-Technologie ist es erstrebenswert, in der Halbleiterschicht auf der Isolationsschicht auch Leistungsbaulemente, beispielsweise Leistungs-MOSFET oder Bipolartransistoren zu realisieren, die gegenüber den Logiktransistoren eine erhebliche höhere Spannungsfestigkeit aufweisen. Übliche Versorgungsspannungen für Logiktransistoren liegen zwischen 1,5V und 5V, während die bei Leistungsbaulementen auftretenden Spannungen üblicherweise zwischen 10V und 100V und mehr betragen.

Die Spannungsfestigkeit eines auf einer Isolationsschicht auf einem Substrat gebildeten Transistors ist durch die Dicke der Isolationsschicht bestimmt. Das Substrat unterhalb der Isolationsschicht liegt normalerweise auf dem niedrigsten in einer Schaltung anliegenden Potential, üblicherweise Masse, so dass die Isolationsschicht die Spannungsdifferenz zwischen dem größten Potential in der Schaltungsanordnung oberhalb der Isolationsschicht und dem niedrigsten Potential aufnehmen muss.

Zur Realisierung von Leistungsbaulementen auf einer Isolationsschicht auf einem Substrat ist es bekannt, eine Isolationsschicht zu verwenden, deren Dicke bis zu $1\mu\text{m}$ betragen kann, um dadurch die Spannungsfestigkeit zu erhöhen, während bei SOI-Schaltungen für eine Ansteuerlogik die Dicke der Isolationsschicht üblicherweise zwischen 50nm und 200nm beträgt.

Dies bringt einige Nachteile mit sich: Die Dicke der Isolationsschicht beeinflusst die Eigenschaften der realisierten Bauelemente. Um Bauelemente mit gleichen Eigenschaften zu erhalten, sind daher für jede Isolationsschicht mit unterschiedlicher Dicke eigene Entwurfparameter zu ermitteln, die bei der Herstellung der Bauelemente benötigt werden. Außerdem nimmt die mechanische Verspannung in dem Gebilde aus Halbleitersubstrat, Isolationsschicht und darüberliegender Halbleiterschicht mit zunehmender Dicke der Isolationsschicht zu. Schließlich erhöht sich der Wärmewiderstand zwischen der

Halbleiterschicht, in der die Bauelemente realisiert sind, und dem Halbleitersubstrat. Die in den Bauelementen entstehende Wärme kann dadurch über das Substrat, das auf einen Kühlkörper aufgebracht sein kann, mit zunehmender Dicke der Isolationsschicht schlechter abgeleitet werden. Gerade die Fähigkeit Verlustleistung aufzunehmen und in Form von Wärme an die Umgebung abzugeben spielt aber bei Leistungsbauelementen eine wichtige Rolle. So müssen beispielsweise bei der Ansteuerung von Motorbrücken mittels Leistungstransistoren die Leistungstransistoren dafür ausgelegt sein, die Verlustleistung aufzunehmen und als Wärme abzuführen.

Ziel der vorliegenden Erfindung ist es, ein Halbleiterbauelement mit einem Halbleitersubstrat, einer Isolationsschicht auf dem Halbleitersubstrat und einer Halbleiterschicht auf der Isolationsschicht zur Verfügung zu stellen, das eine hohe Spannungsfestigkeit und einen geringen Wärmewiderstand zwischen dem Substrat und der Halbleiterschicht aufweist.

Diese Aufgabe wird durch ein Halbleiterbauelement gemäß den Merkmalen des Anspruchs 1 gelöst.

Vorteilhafte Ausgestaltungen der Erfindung sind Gegenstand der Unteransprüche.

Das erfindungsgemäße Halbleiterbauelement weist ein Halbleitersubstrat, eine Isolationsschicht auf dem Halbleitersubstrat und eine auf der Isolationsschicht angeordnete Halbleiterschicht auf, wobei in der Halbleiterschicht eine erste dotierte Anschlusszone, eine zweite dotierte Anschlusszone und eine zwischen der ersten und zweiten Anschlusszone angeordnete Driftzone ausgebildet ist. Erfindungsgemäß schließt sich wenigstens eine der ersten und zweiten Anschlusszonen direkt an das Halbleitersubstrat an, wobei die wenigstens eine sich an das Halbleitersubstrat anschließende Anschlusszone komplementär zu dem Halbleitersubstrat dotiert ist.

Das erfindungsgemäße Halbleiterbauelement ist eine Diode, wenn die ersten und zweiten Anschlusszonen komplementär zueinander dotiert sind, wobei eine der Anschlusszonen die Anode und die andere der Anschlusszonen die Kathode bildet. Das erfindungsgemäße Halbleiterbauelement ist ein Transistor, wenn die Anschlusszonen vom gleichen Leitungstyp sind, wobei dann gemäß einer Ausführungsform der Erfindung eine komplementär zu den Anschlusszonen dotierte Sperrzone zwischen der zweiten Anschlusszone und der Driftzone angeordnet ist.

Bei Anlegen einer Spannung zwischen der ersten und zweiten Anschlusszone wird diese Spannung in der Halbleiterschicht im wesentlichen von der Driftzone aufgenommen, die üblicherweise schwächer als die erste und zweite Anschlusszone, bzw. die Sperrzone, dotiert ist. Das Halbleitersubstrat befindet sich üblicherweise auf dem niedrigsten Potential in der Schaltung und die Leitungstypen der sich direkt an das Halbleitersubstrat anschließenden Anschlusszone und des Halbleitersubstrats sind so gewählt, dass der Halbleiterübergang zwischen der Anschlusszone und dem Halbleitersubstrat stets in Sperrrichtung gepolt ist. Ausgehend von der sich direkt an das Halbleitersubstrat anschließenden Anschlusszone bildet sich bei Anlegen einer Spannung zwischen der ersten und zweiten Anschlusszone, bzw. bei Anlegen eines positiven Potentials an die erste Anschlusszone, eine Raumladungszone in dem Halbleitersubstrat aus, die auch unterhalb der Driftzone verläuft. Das Potential in dem Halbleitersubstrat unterhalb der Driftzone und der Isolationsschicht ist durch die Raumladungszone höher als das niedrigste Potential der Schaltung, an das das Halbleitersubstrat angeschlossen ist.

Die an der Isolationszone zwischen der Driftzone und dem Halbleitersubstrat anliegende Spannung ist bedingt durch die Raumladungszone bei dem erfindungsgemäßen Halbleiterbauelement geringer als die Spannungsdifferenz zwischen dem Potential an der ersten Anschlusszone und dem niedrigsten Potential des Substrats. Die Dicke der Isolationszone muss bei dem

erfindungsgemäßen Halbleiterbauelement damit nicht auf die maximal auftretende Spannung ausgelegt sein, sondern kann entsprechend der geringeren Potentialdifferenz zwischen der Driftzone und der Raumladungszone in dem Halbleitersubstrat dünner dimensioniert sein. dadurch wird bei den üblichen elektrischen Isolationsschichten, wie Siliziumnitrid oder Siliziumoxid, die schlechte Wärmeleiteigenschaften aufweisen, ein geringerer Wärmewiderstand erreicht.

- 10 Vorteilhafterweise weist die Driftzone nach Art eines Kompen-
sationsbauelements benachbart angeordnete jeweils komplen-
tär dotierte Abschnitte auf, die sich vorzugsweise jeweils in
Längsrichtung zwischen der ersten Anschlusszone und der
Sperrzone bei Transistoren oder zwischen der ersten An-
15 schlusszone der zweiten Anschlusszone bei Dioden erstrecken.
Die einzelnen komplementär dotierten Abschnitte sind so auf-
einander abgestimmt, dass die Anzahl der p- Ladungsträger der
Anzahl der n-Ladungsträger in der Driftzone entspricht. Bei
Anlegen einer Sperrspannung räumen sich die komplementär do-
20 tierten Abschnitte gegenseitig aus, woraus eine hohe Durch-
bruchspannung resultiert. Die sich gegenseitig ausräumenden
Abschnitte können vergleichsweise hoch dotiert sein und tra-
gen so zu einem geringen Widerstand bei Anlegen einer Fluss-
spannung bei.

Die vorliegende Erfindung wird nachfolgend in Ausführungsbei-
spielen anhand von Figuren näher erläutert. In den Figuren
zeigt

- 30 Figur 1 ein erstes Ausführungsbeispiel eines erfindungsge-
mäßigen Halbleiterbauelements, das als Diode ausge-
bildet ist, in Seitenansicht im Querschnitt,
- Figur 2 ein zweites Ausführungsbeispiel eines erfindungsge-
mäßigen Halbleiterbauelements, das als MOS-Transistor
35 ausgebildet ist, in Seitenansicht im Querschnitt,

Figur 3 ein als MOS-Transistor ausgebildetes erfindungsgemäßes Halbleiterbauelement mit komplementär dotierten Abschnitten in der Driftzone,

5 Figur 4 ein als Bipolartransistor ausgebildetes erfindungsgemäßes Halbleiterbauelement in Seitenansicht im Querschnitt.

10 In den Figuren bezeichnen, sofern nicht anders angegeben gleiche Bezugszeichen gleiche Teile und Abschnitte mit gleicher Bedeutung.

Figur 1 zeigt ein als Diode ausgebildetes erfindungsgemäßes Halbleiterbauelement in Seitensicht im Querschnitt. Das Bauelement weist ein Halbleitersubstrat 10 mit einer auf dem Halbleitersubstrat 10 ausgebildeten Isolationsschicht 20 auf. Das Halbleitersubstrat 10 besteht vorzugsweise aus Silizium, die Isolationsschicht 20 aus Siliziumoxid oder Siliziumnitrid. Auf der Isolationsschicht 20 ist eine Halbleiterschicht 12 angeordnet, in der eine erste Anschlusszone 30, eine zweite Anschlusszone 40 und eine Driftzone 32 zwischen der ersten und zweiten Anschlusszone 30, 40 ausgebildet sind. Die erste Anschlusszone 30 schließt sich direkt an das Halbleitersubstrat 10 an und erstreckt sich in dem Ausführungsbeispiel durch die Isolationsschicht 20 bis in das Halbleitersubstrat 10.

Das Halbleitersubstrat 10 und die sich direkt an das Halbleitersubstrat anschließende erste Anschlusszone 30 sind komplementär dotiert. In dem Ausführungsbeispiel ist das Substrat 10 p-dotiert, und die erste Anschlusszone 30 ist n-dotiert. Die Dotierungsart des Halbleitersubstrats 10 und die Dotierungsart der sich daran anschließenden Anschlusszone 10 sind unter Berücksichtigung der an dem Substrat 10 und der ersten Anschlusszone 30 zu erwartenden Potentiale so gewählt, dass der Halbleiterübergang zwischen der ersten Anschlusszone 30 und dem Substrat stets in Sperrrichtung gepolt oder span-

- nungsfrei ist. Liegt das Substrat 10 wie üblich auf dem niedrigsten in der Schaltung auftretenden Potential GND, beispielsweise Masse, so kann das Potential an der ersten Anschlusszone 30 dem des Substrats 10 entsprechen, der Halbleiterübergang ist dann spannungsfrei, oder das Potential an der ersten Anschlusszone 30 kann größer als das Potential des Substrats 10 sein, der Halbleiterübergang ist dann in Sperrrichtung gepolt.
- 10 Liegt das Substrat stets auf dem höchsten Potential in der Schaltung, so ist die erste Anschlusszone anders als in dem Ausführungsbeispiel dargestellt p-dotiert und das Substrat ist n-dotiert.
- 15 Die erste n-dotierte Anschlusszone 30 bildet die Kathode K des als Diode ausgebildeten in Figur 1 dargestellten Bauelements und die p-dotierte zweite Anschlusszone 40 bildet die Anode.
- 20 Bei Anlegen einer Sperrspannung zwischen der ersten Anschlusszone 30 und der zweiten Anschlusszone 40, wozu die zweite Anschlusszone 40 beispielsweise auf das Potential des Substrats 10 und die erste Anschlusszone 30 auf ein positives Potential gelegt wird, fällt annäherungsweise die gesamte Spannung über der Driftzone 32 ab, die geringer als die erste und zweite Anschlusszone 30, 40 dotiert ist.

In dem Halbleitersubstrat 10 kommt es ausgehend von der ersten Anschlusszone 30 zur Ausbildung einer Raumladungszone RLZ, deren Grenze in Figur gestrichelt dargestellt ist, wobei das Potential in der Raumladungszone ausgehend von der ersten Anschlusszone 30 zu den Grenzen der Raumladungszone hin stetig abnimmt. Die Raumladungszone erstreckt sich dabei über die Länge der Driftstrecke 32 unterhalb der Isolationsschicht 20. In der Weise, in der das Potential in der Driftzone 32 ausgehend von der ersten Anschlusszone 30 bis zu der Anschlusszone 40 abnimmt und dort einen Minimalwert erreicht,

nimmt auch das Potential der Raumladungszone RLZ in dem Substrat 10 unterhalb der Isolationsschicht 20 ausgehend von der ersten Anschlusszone 30 ab. Durch die sich unterhalb der Driftzone 32 in dem Substrat 10 ausbildende Raumladungszone RLZ ist die maximale an der Isolationsschicht 20 zwischen der Driftzone 32 und dem Substrat 10 anliegenden Spannung geringer als die maximal auftretende Spannung, die der Differenz zwischen dem Potential an der ersten Anschlusszone 30 und dem niedrigsten Potential GND entspricht, an das das Substrat 10 angeschlossen ist.

Die an der Isolationsschicht 20 anliegende Spannung ist Null, wenn, der Potentialverlauf in der Driftzone 32 dem Potentialverlauf in der Raumladungszone RLZ unterhalb der Isolationsschicht 20 entspricht. Bei dem erfindungsgemäßen Halbleiterbauelement ist die Isolationsschicht 20 damit dank der Raumladungszone RLZ, die sich durch die direkt an dem Substrat 10 anliegende erste Anschlusszone 30 ausbilden kann, damit einer geringeren Spannungsbelastung ausgesetzt als bei vergleichbaren Bauelementen, bei denen sich die erste Anschlusszone nicht an das Substrat anschließt. Bei dem erfindungsgemäßen Bauelement kann dadurch eine dünnere Isolationsschicht 20 als bei vergleichbaren Bauelementen bei gleicher Spannungsfestigkeit verwendet werden, was wiederum zu einem geringeren Widerstand zwischen der Halbleiterschicht 12 oberhalb der Isolationsschicht 20 und dem Substrat 10 führt. Hieraus resultiert eine bessere Wärmeableitung aus der Halbleiterschicht 12 in das Substrat 10 und an einen gegebenenfalls an das Substrat 10 angeschlossenen Kühlkörper.

Figur 2 zeigt ein Ausführungsbeispiel eines als n-Kanal-MOS-Transistor ausgebildeten erfindungsgemäßen Halbleiterbauelements. Das Bauelement weist ein Halbleitersubstrat 10 mit einer auf dem Substrat 10 aufgetragenen Isolationsschicht 20 und einer auf der Isolationsschicht aufgetragenen Halbleiterschicht 12 auf, wobei in der Halbleiterschicht 12 eine n-dotierte erste Anschlusszone 30, eine n-dotierte zweite An-

schlusszone 42 und eine Driftzone 32 zwischen der ersten und zweiten Anschlusszone 30, 42 ausgebildet ist. Die erste Anschlusszone 30 ist komplementär zu dem Substrat 10 dotiert und reicht durch die Isolationsschicht 20 bis in das Halbleitersubstrat 10.

Die Driftzone 32 schließt sich unmittelbar an die erste Anschlusszone 30 an. Zwischen der zweiten Anschlusszone 42 und der Driftzone 32 ist eine p-dotierte Sperrzone 50 ausgebildet. Bei dem Ausführungsbeispiel gemäß Figur 2 bildet die erste Anschlusszone 30 die Drain-Zone, die zweite Anschlusszone 42 die Source-Zone und die Sperrzone 50 die Body-Zone (das Body-Gebiet) des MOS-Transistors. Oberhalb der Sperrzone 50 ist eine Gate-Elektrode 60 aufgebracht, die mittels einer Isolationsschicht 62 gegenüber der Halbleiterschicht 12 isoliert ist.

Bei Anlegen eines gegenüber dem Bezugspotential GND des Substrats 10 positiven Potentials an die Drain-Zone 30 und bei Anlegen eines geringeren Potentials, vorzugsweise des Bezugspotentials GND, an die Source-Zone 42 kommt es zu einem Spannungsabfall in der Driftzone 32 zwischen der Drain-Zone 30 und der Sperrzone 50 und zur Ausbildung einer Raumladungszone RLZ in dem Halbleitersubstrat 10 ausgehend von der Drain-Zone 30, wobei sich die Raumladungszone RLZ in dem Substrat 10 bis unterhalb der Sperrzone 50 erstrecken kann. Der maximale Spannungsabfall zwischen der Drain und Source-Zone 30, 42 wird dabei erreicht, wenn der Transistor sperrt, wenn also keine geeignete Ansteuerspannung zwischen Gate 60 und Source 42 anliegt. Für diesen Fall muss die Isolationsschicht 20 dimensioniert sein.

Bedingt durch die Ausbildung der Raumladungszone RLZ ist die maximal an der Isolationsschicht 20 anliegende Spannung geringer als die Differenz zwischen dem Potential an der Drain-Zone 30 und dem Bezugspotential GND. Der erfindungsgemäße MOS-Transistor kann somit mit Spannungen betrieben werden,

die höher sind, als die für die Isolationsschicht 20 ausgelegt ist. Der erfindungsgemäße MOS-Transistor kann deshalb zusammen mit MOS-Transistoren für eine Ansteuerlogik auf derselben Isolationsschicht realisiert sein, wobei die Isolations-
5 onsschicht nur auf die geringeren in der Ansteuerlogik auftretenden Spannungen ausgelegt zu sein braucht.

Der erfindungsgemäße MOS-Transistor kann beispielsweise mit einer Spannungsfestigkeit bis zu 40V auf einer Isolations-
10 schicht realisiert werden, die eine auf die Realisierung einer Ansteuerlogik ausgelegte Dicke zwischen 50nm und 200nm aufweist, und die damit erheblich dünner ist, als eine Isolationsschicht, die für eine Spannungsfestigkeit von 40V ausgelegt ist.

15 Wie in Figur 2 gezeigt ist, ist die Halbleiterschicht 12 neben dem Transistor vorzugsweise bis auf die Isolationsschicht entfernt, um den Transistor gegenüber anderen (nicht dargestellten) Bauelementen auf der Isolationsschicht 20 zu isolieren. Die Verbindung zwischen dem Transistor und anderen Bauelementen erfolgt in einer nicht näher dargestellten Verdrahtungsebene oberhalb der Halbleiterschicht 12.

Figur 3 zeigt ein Ausführungsbeispiel eines als MOS-
25 Transistor ausgebildeten erfindungsgemäßen Halbleiterbauelements, das sich von dem in Figur 2 dargestellten dadurch unterscheidet, dass sich auch die n-dotierte Source-Zone 42 durch die Isolationsschicht 20 bis in das p-dotierte Halbleitersubstrat 10 erstreckt. Dieser MOS-Transistor eignet sich
30 insbesondere als sogenannter High-Side-Schalter, bei dem sowohl der Source-Anschluss als auch der Drain-Anschluss auf einem hohen Potential liegen können. Liegt dabei an der Source-Zone 42 ein gegenüber dem Bezugspotential GND positives Potential an, und liegt die Drain-Zone 30 auf Bezugspotential, so breitet sich die Raumladungszone in dem Halbleitersubstrat 10 ausgehend von der Source-Zone 42 aus.
35

In dem Fall, in dem sowohl ein gegenüber dem Bezugspotential GND positives Potential an der Drain-Zone 30 und an der Source-Zone 42 anliegt, breitet sich eine Raumladungszone ausgehend von der Drain-Zone 30 und der Source-Zone 42 aus.

5

10

Der Transistor nach Figur 3 unterscheidet sich von dem in Figur 2 dargestellten weiterhin dadurch, dass der Transistor symmetrisch bezüglich der Source-Zone 42 ausgebildet ist. So schließt sich in dem Beispiel links der Source-Zone 42 eine weitere Sperrzone 52 mit einer darüberliegenden Gate-Elektrode 64, eine Driftzone 34 und eine nicht dargestellte weitere Drain-Zone an, wobei die beiden Gate-Elektroden 60, 64 miteinander verbunden sind und wobei die beiden Drain-Zonen miteinander verbunden sind.

15

20

Die Driftzone 32 kann bei den erfindungsgemäßen Bauelementen vom selben Leitungstyp wie die erste Anschlusszone 30, d.h. die Kathode in Figur 1 und die Drain-Zone D in Figur 2, sein, wobei die Driftzone allerdings schwächer als die erste Anschlusszone 30 dotiert ist. Gemäß einer Ausführungsform der Erfindung ist vorgesehen, dass die Driftzone jeweils komplementär dotierte Abschnitte 32A-32F aufweist, wie dies bei dem perspektivisch dargestellten MOS-Transistor in Figur 3 dargestellt ist. Bei dem Ausführungsbeispiel in Figur 3 wechseln sich n-dotierte Abschnitte 32A, 32C, 32E und p-dotierte Abschnitte 32B, 32D, 32F ab, wobei sich die Abschnitte 32A-32F in Längsrichtung zwischen der Kanalzone 50 und der Drain-Zone 30 erstrecken. Die n-dotierten Abschnitte 32A, 32C, 32E sind an die n-dotierte Drain-Zone 30 und die p-dotierten Abschnitte sind an die p-dotierte Kanalzone 50 angeschlossen.

25

30

35

Die Anordnung komplementär dotierter Abschnitte in der Driftzone ist von sogenannten Kompensationsbauelementen bekannt. Hierbei können die n-dotierten Abschnitte 32A, 32C, 32E höher dotiert werden als bei herkömmlichen Bauelementen, bei den keine komplementären (p-dotierten) Abschnitte vorhanden sind. Die höhere Dotierung der n-Abschnitte 32A, 32C, 32E führt zu

einem geringeren Widerstand der Driftzone bei leitendem Bauelement, d.h. bei Anlegen einer Flussspannung. Bei Anlegen einer Sperrspannung räumen sich die n-dotierten Abschnitte 32A, 32C, 32E und die p-dotierten Abschnitte 32B, 32D, 32F gegenseitig aus, woraus eine hohe Durchbruchspannung resultiert.

Figur 4 zeigt ein als Bipolartransistor ausgebildetes erfindungsgemäßes Halbleiterbauelement mit einem p-dotierten Halbleitersubstrat 10, einer auf dem Substrat 10 aufgebrachtten Isolationsschicht 20 und einer Halbleiterschicht 12 auf der Isolationsschicht 20, wobei in der Halbleiterschicht eine n-dotierte erste Anschlusszone 30, eine n-dotierte zweite Anschlusszone 42, eine Driftzone 32 und eine p-dotierte Sperrzone 50 zwischen der Driftzone 32 und der zweiten Anschlusszone ausgebildet sind. Die erste Anschlusszone 30 bildet den Kollektor K des Transistors und erstreckt sich durch die Isolationsschicht 20 bis in das Halbleitersubstrat 10. Die zweite Anschlusszone 42 bildet den Emitter E und kann sich abhängig vom Verwendungszweck des Transistors wie der Kollektor bis K in das Substrat 10 erstrecken. Die Sperrzone 50 bildet die Basis des Transistors.

Patentansprüche

1. Halbleiterbauelement, das folgende Merkmale aufweist:

- 5 - ein Halbleitersubstrat (10),
- eine Isolationsschicht (20) auf dem Halbleitersubstrat (10),
- 10 - eine auf der Isolationsschicht (20) angeordnete Halbleiterschicht (12) in der eine erste dotierte Anschlusszone (30), eine zweite dotierte Anschlusszone (40; 42) und zwischen der ersten und zweiten Anschlusszone (30, 40; 30, 42) eine Driftzone (32) ausgebildet ist,

15 d a d u r c h g e k e n n z e i c h n e t, dass sich wenigstens eine der ersten und zweiten Anschlusszonen (30, 40; 30, 42) direkt an das Halbleitersubstrat (10) anschließt.

20 2. Halbleiterbauelement nach Anspruch 1, bei dem die erste Anschlusszone (30) und die zweite Anschlusszone (42) durch die Isolationsschicht bis in das Substrat reichen.

25 3. Halbleiterbauelement nach Anspruch 1 oder 2, bei dem die sich direkt an das Halbleitersubstrat (10) anschließenden Anschlusszonen (30, 42) komplementär zu dem Halbleitersubstrat (10) dotiert sind.

30 4. Halbleiterbauelement nach einem der Ansprüche 1 bis 3, bei dem die zweite Anschlusszone (40) von einem zu der ersten Anschlusszone (30) komplementären Leitungstyp ist.

35 5. Halbleiterbauelement nach einem der Ansprüche 1 bis 3, bei dem die zweite Anschlusszone (42) vom selben Leistungstyp wie die erste Anschlusszone (30) ist, und bei dem zwischen der zweiten Anschlusszone (42) und der Driftzone (32) eine Sperr-

zone (50) von einem zu der ersten und zweiten Anschlusszone (30, 42) komplementären Leitungstyp angeordnet ist.

5 6. Halbleiterbauelement nach einem der vorangehenden Ansprüche, bei dem die Driftzone (32) vom selben Leitungstyp wie die erste Anschlusszone (30) ist.

10 7. Halbleiterbauelement nach einem der Ansprüche 1 bis 5, bei dem die Driftzone komplementär dotierte benachbarte Abschnitte (32A-32F) aufweist.

15 8. Halbleiterbauelement nach Anspruch 7, bei dem die komplementär dotierten Abschnitte (32A-32F) in Längsrichtung zwischen der ersten und zweiten Anschlusszone oder der Sperrzone (50) und der ersten Anschlusszone (30) verlaufen.

20 9. Halbleiterbauelement nach Anspruch 7 oder 8, bei dem die Abschnitte (32A, 32C, 32E), die vom selben Leitungstyp wie die erste Anschlusszone (30) sind, an die erste Anschlusszone (30) angeschlossen sind und bei dem Abschnitte, die vom selben Leitungstyp wie die Sperrzone (50) sind, an die Sperrzone (50) angeschlossen sind.

30 10. Halbleiterbauelement nach Anspruch 7 oder 8, bei dem die Abschnitte, die vom selben Leitungstyp wie die erste Anschlusszone sind, an die erste Anschlusszone angeschlossen sind und bei dem die komplementär dotierten Abschnitte, die vom selben Leitungstyp wie die zweite Anschlusszone sind, an die zweite Anschlusszone angeschlossen sind.

35 11. Halbleiterbauelement nach einem der vorangehenden Ansprüche, bei dem das Halbleitersubstrat p-dotiert ist und bei der die wenigstens eine sich an das Halbleitersubstrat (10) anschließende Anschlusszone (30, 42) n-dotiert ist.

Zusammenfassung

Die vorliegende Erfindung betrifft ein Halbleiterbauelement, mit einem Halbleitersubstrat (10), einer Isolationsschicht (20) auf dem Halbleitersubstrat (10), einer auf der Isolationsschicht (20) angeordneten Halbleiterschicht in der eine erste dotierte Anschlusszone (30), eine zweite dotierte Anschlusszone (40; 42) und eine zwischen der ersten und zweiten Anschlusszone (30, 40; 30, 42) ausgebildete Driftzone (32) ausgebildet ist. Erfindungsgemäß schließt sich wenigstens einer der ersten und zweiten Anschlusszonen (30, 40; 30, 42) direkt an das Halbleitersubstrat (10) an.

Figur 1

Bezugszeichenliste

	10	Halbleitersubstrat
	12	Halbleiterschicht
5	20	Isolationsschicht
	30	erste Anschlusszone
	40, 42	zweite Anschlusszone
	60, 64	Gate-Elektrode
	62, 66	Isolationsschicht
10	50	Sperrzone
	32	Driftzone
	32A, 32C, 32E	n-dotierte Abschnitte
	32B, 32D, 32F	p-dotierte Abschnitte

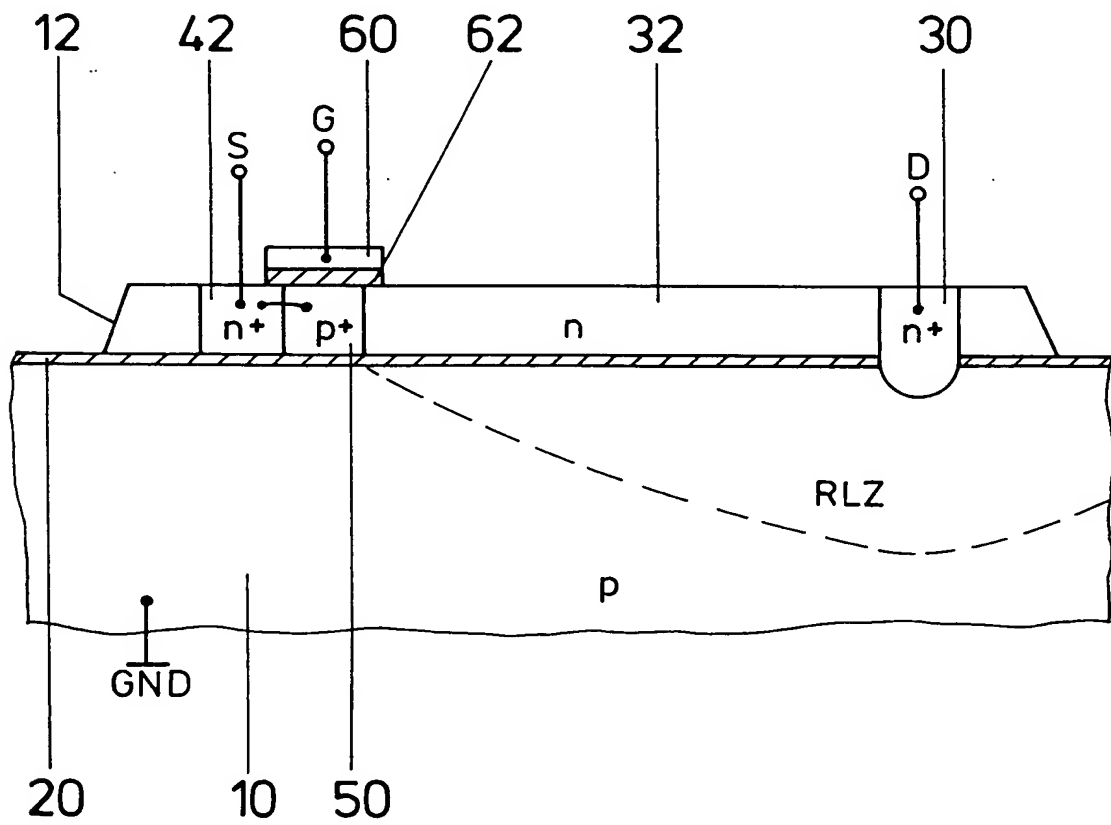
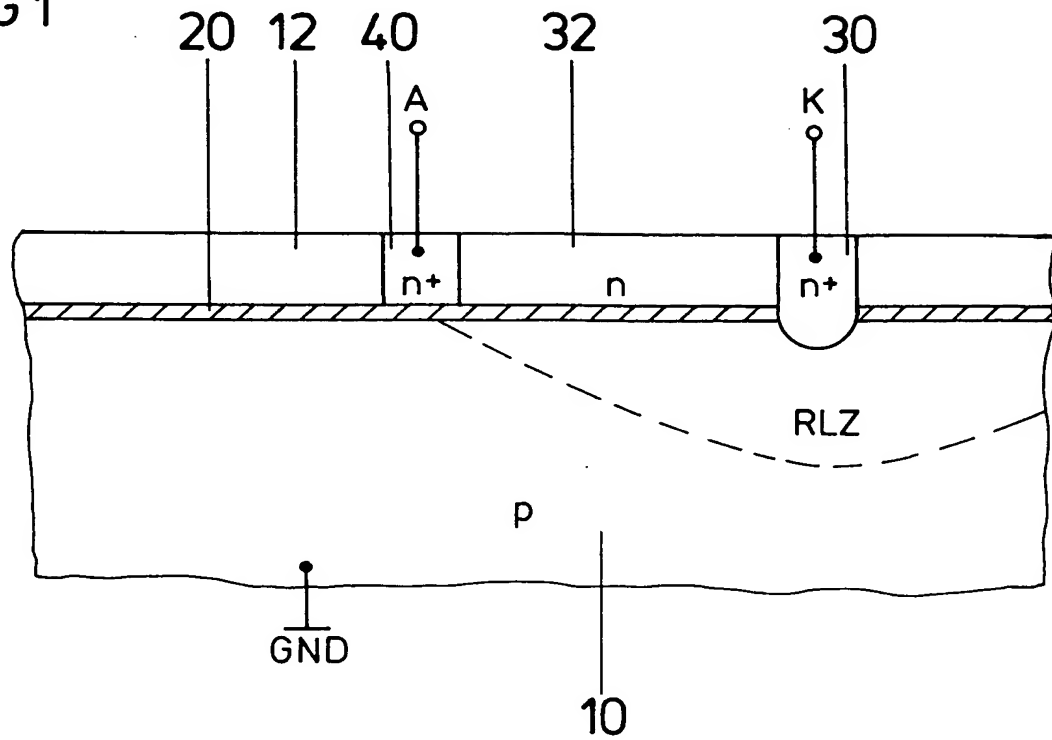


FIG 3

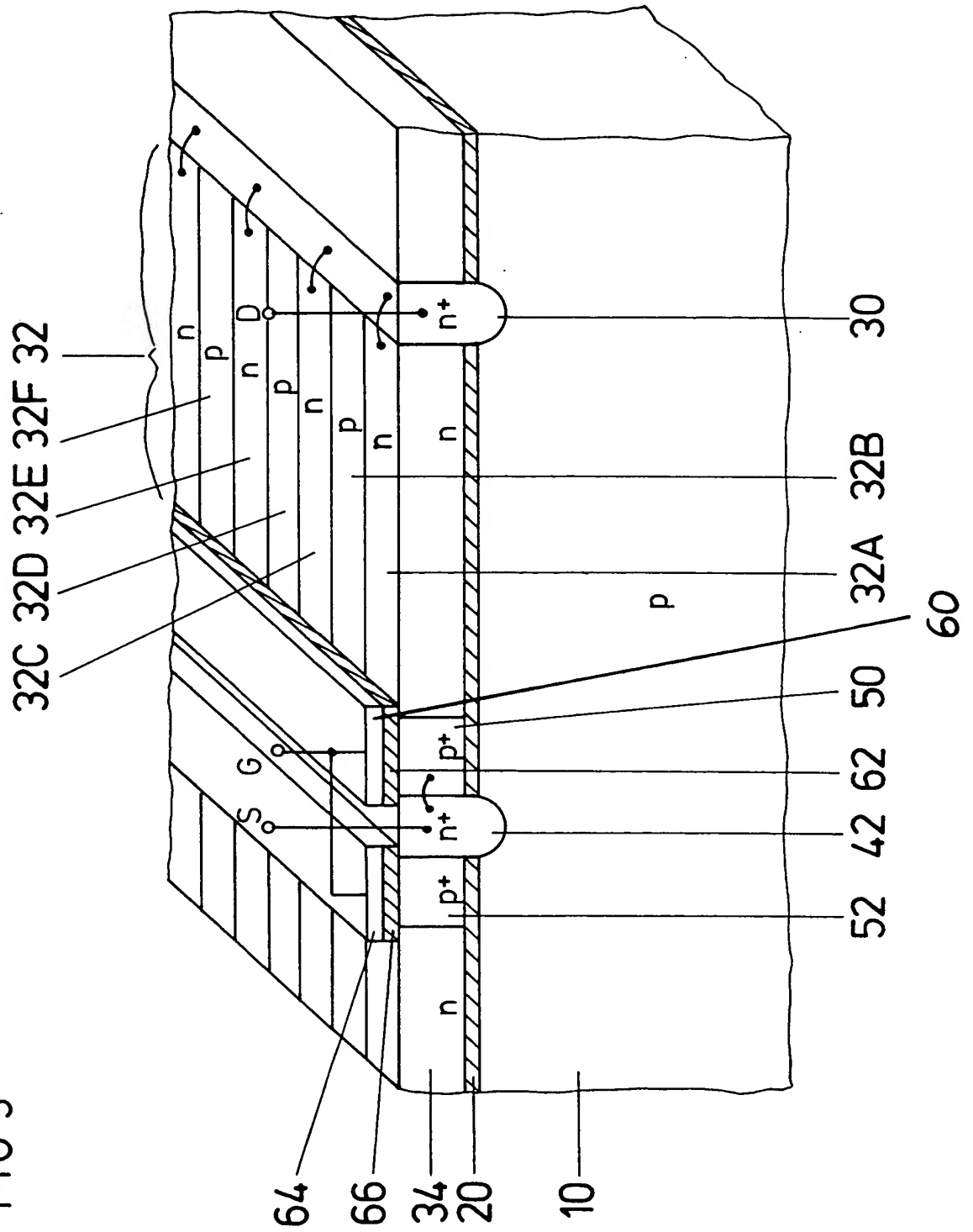


FIG 4

